

PATENT ABSTRACTS OF JAPAN

u

(11)Publication number : 62-173742 ✓

(43)Date of publication of application : 30.07.1987

(51)Int.Cl.

H01L 23/12

H05K 3/46

(21)Application number : 61-016308

(71)Applicant : FUJITSU LTD

(22)Date of filing : 28.01.1986

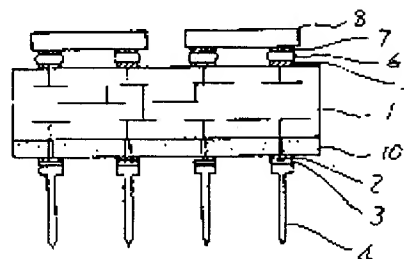
(72)Inventor : IMANAKA YOSHIHIKO
SAKAI TSUYOSHI
AOKI SHIGENORI
YOKOYAMA HIROZO

(54) MULTILAYER CERAMIC CIRCUIT BOARD

(57)Abstract:

PURPOSE: To increase the strength of a lowermost section layer, and to connect input/output pins and a board firmly by forming a layer, to which SiC whiskers are added, to the lowermost section layer to which the input-output pins are connected directly.

CONSTITUTION: A layer 10 fiber-reinforced with SiC whiskers is shaped to a lowermost section layers as input/output pin 4 connecting sections for a multilayer ceramic circuit board. Consequently, the strength of the lowermost section layer is increased. Accordingly, input/output pins and the board are connected solidly.



⑫ 公開特許公報(A)

昭62-173742

⑮ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)7月30日

H 01 L 23/12
H 05 K 3/467738-5F
7342-5F

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 多層セラミック回路基板

⑰ 特 願 昭61-16308

⑱ 出 願 昭61(1986)1月28日

⑲ 発 明 者	今 中	佳 彦	川崎市中原区上小田中1015番地	富士通株式会社内
⑲ 発 明 者	坂 井	強 志	川崎市中原区上小田中1015番地	富士通株式会社内
⑲ 発 明 者	青 木	重 憲	川崎市中原区上小田中1015番地	富士通株式会社内
⑲ 発 明 者	横 山	博 三	川崎市中原区上小田中1015番地	富士通株式会社内
⑳ 出 願 人	富士通株式会社			川崎市中原区上小田中1015番地
㉑ 代 理 人	弁理士 井 桁 貞一			

明 細 書

1. 発明の名称

多層セラミック回路基板

2. 特許請求の範囲

多層セラミック回路基板の入出力ピン接続部の最下部層に Sic ウィスカーにより繊維強化した層を設けたことを特徴とする多層セラミック回路基板。

3. 発明の詳細な説明

〔概要〕

本発明は多層セラミック回路基板の強化法に係り、特に I/O ピン接続部の最下部層を Sic ウィスカーで強化することにより I/O ピンと基板との密着を強固にした多層セラミック回路基板に関する。

〔産業上の利用分野〕

半導体素子の高集積化に伴ない、これらの素子を高密度に実装できる多層セラミック回路基板も、そのファインパターン化が進む傾向にある。この

ため、入出力用の接続ピンを高密度で、しかも高い密着力で回路基板上に形成される方法が必要とされている。

〔従来の技術〕

従来の多層セラミック回路基板の I/O ピン取付方法は、第 図に示すように形成された回路基板 1 に直接 I/O ピン 4 を接続しており、破壊の際は点線 A で示す如く I/O ピンが基板をえぐるようになる。これは基板の強度が弱いという欠点によるものである。即ち、I/O ピンの先端に加わる力が小さくても、I/O ピン取付部ではテコの原理により、大きな力が加わることとなり、I/O ピン取付部近傍の基板部分で破損が生ずる。これはガラスセラミックスを用いる多層セラミック回路基板の I/O ピン取付部に於いて生ずる。

多層セラミック回路基板の材料と強度との関係を見た時、ボロシリケートガラスとアルミナよりなる熱処理により結晶化しないガラスセラミックを材料とする回路基板の強度はアルミナのみを材

料とする回路基板の強度の約 $\frac{1}{3}$ と強度に乏しいと云う問題点を有する。

〔発明が解決しようとする問題点〕

多層セラミック回路基板の入出力端子用(I/O)ピン取付部における基板側の破損を防止し、信頼性の高い入出力ピン端子((I/O)ピン)を有する多層セラミック回路基板を提供する。

〔問題点を解決するための手段〕

多層セラミック回路基板のI/Oピン接続部の最下部層にSicウイスカーにより繊維強化した層を設ける。

〔作用〕

本発明は、回路基板の最下部層を強度の大きいSicウイスカーで強化することにより、I/Oピンと基板の接続を強固にできる。

ィングすることが出来る。5はガラスセラミック層1上に形成されたボンディングパッド、7はICチップに設けられたボンディングパッド、6はろう材である。

アルミナ粉末(2 μ m)350g、ほうけい酸ガラス粉末(3 μ m)350g、ポリビニルブチラルPVB80g、ジブチルフタレートD.B.P.40g、メチルエチルケトンMEK100g、アセトン500gをボールミリングで24h混練し、スラリーを得る。得られたスラリーを30poiseに粘度調整したのち、ドクターブレード法で300 μ mのグリーンシートを作成する。このグリーンシートAを150mm²に打ち抜く。また同様の方法でSicウイスカーを添加したグリーンシート④も150mm²に作製する。スルーホール形成し、グリーンシートA上にAu, Ag, Cuなどで回路パターンを形成する。これらを約10~30枚重ね合わせ30Mpaで積層する。尚、最下部層はSicウイスカー入りグリーンシート④を用いる。この積層体をN₂中 or 大気中950℃で3h焼成し基板を得る。

〔実施例〕

以下本発明の実施例につき図面を参照して説明する。

第1図は本発明のI/Oピン端子取付部にSic強化層を設けた多層セラミック回路基板の断面図である。

図において、1はアルミナとほうけい酸ガラスの粉末を原料とするグリーンシートの焼成により形成されたガラスセラミック層である。10はアルミナとほうけい酸ガラス粉末とSicウイスカーを原料とするグリーンシートの焼成により形成された、Sicウイスカー強化ガラスセラミック層である。

2はSicウイスカー強化ガラスセラミック層のI/Oピン取付部に形成されたボンディングパッド、3はAu-Sn等のろう材、4はりん青銅によりなり、つばを有するピンである。

アルミナ粉末とほうけい酸ガラス粉末を原料とするガラスセラミック層1上にはICチップ8をフリップチップボンディング等の方法でボンデ

基板の上にAu-Snのろう材を塗布し、りん青銅I/Oピンを立て約400℃-10minで密着させる。

なお、グリーンシートBの原料中に添加するSicの量は無材原料(アルミナ粉末とほうけい酸ガラス粉末)100重量部に対し、5~33重量部であるのが好ましい。5重量部以下では強度向上の効果が乏しく、33重量部以上では焼結性が乏しく強度は低下する。

ピンの密着度について、従来の方法と本発明のSicウイスカー添加ガラスセラミック強化層を設けた場合につき調べ、上記の結果を得た。

	密着強度(MPa)
本発明	50
従来法	20

〔発明の効果〕

I/Oピンと基板との密着をより強固にするために、I/Oピンが直接に接続する最下部層にSicウイスカーを添加した層を設けることにより、

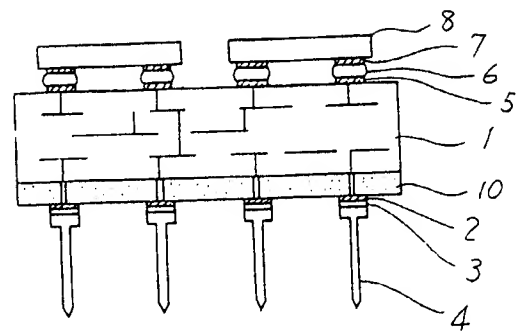
層下部の強度を高めることができるので、I/Oピン¹と基板との密着力が強固になる効果がある。

4. 図面の簡単な説明

第1図は本発明のI/Oピンを有する多層セラミック回路基板の断面図、

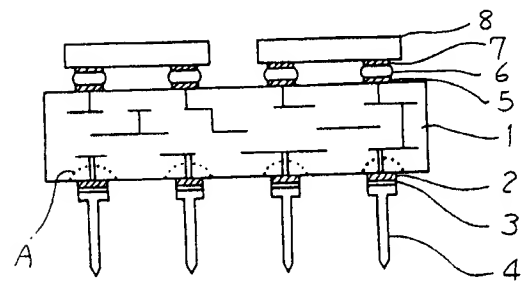
第2図は従来のI/Oピンを有する多層セラミック回路基板の断面図である。

1：ガラスセラミック層、10：SiCウイスカーを添加したガラスセラミック層、4：I/Oピン、8：ICチップ。



第 1 図

代理人 弁護士 井 桁 貞 一



第 2 図